

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319481

(43)Date of publication of application : 16.11.2001

(51)Int.Cl. G11C 15/04

(21)Application number : 2001-011005

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 19.01.2001

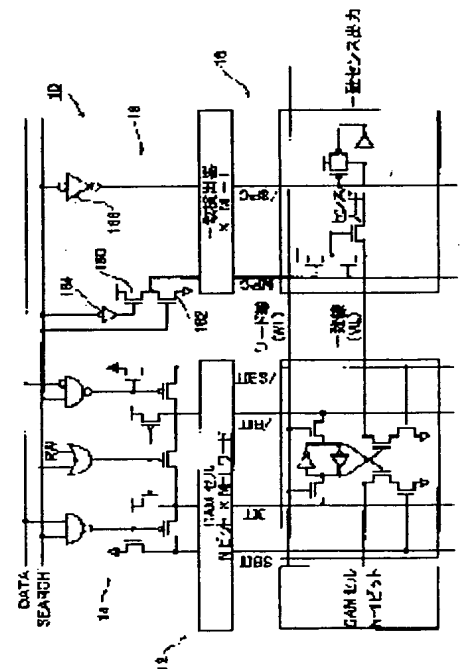
(72)Inventor : IWASAKI HIDEAKI
HATA RYUICHI
KANAZAWA NAOKI
YONEDA MASATO

(30)Priority

Priority number : 2000058569 Priority date : 03.03.2000 Priority country : JP

(54) ASSOCIATIVE MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an associative memory device in which the capacity can be increased and the operation speed can be increased keeping a low power consumption.**SOLUTION:** A pair of bit line for storage data for reading/writing storage data from/in an associative memory cell and a pair of bit line for retrieving data for supplying retrieving data to the associative memory cell are wired independently, the amplitude of a level at the time of coincidence retrieving of the pair of bit line for retrieving data is reduced as an intermediate potential between a power source and ground, otherwise, amplitude of a pre-charge level of a coincidence line, at which a result of coincidence retrieving of storage data and retrieving data is outputted, is reduced as an intermediate potential between a power source and ground, or both amplitude are reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-319481

(P2001-319481A)

(43)公開日 平成13年11月16日(2001.11.16)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

G 1 1 C 15/04

G 1 1 C 15/04

C

Z

審査請求 未請求 請求項の数15 OL (全 22 頁)

(21)出願番号 特願2001-11005(P2001-11005)

(22)出願日 平成13年1月19日(2001.1.19)

(31)優先權主張番号 特願2000-58569(P2000-58569)

(32)優先日 平成12年3月3日(2000.3.3)

(33)優先権主張国 日本 (J P)

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 岩崎 秀昭

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

(72) 發明者 簾 童一

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

(74)代理人 100080159

弁理士 渡辺 望稔 (外1名)

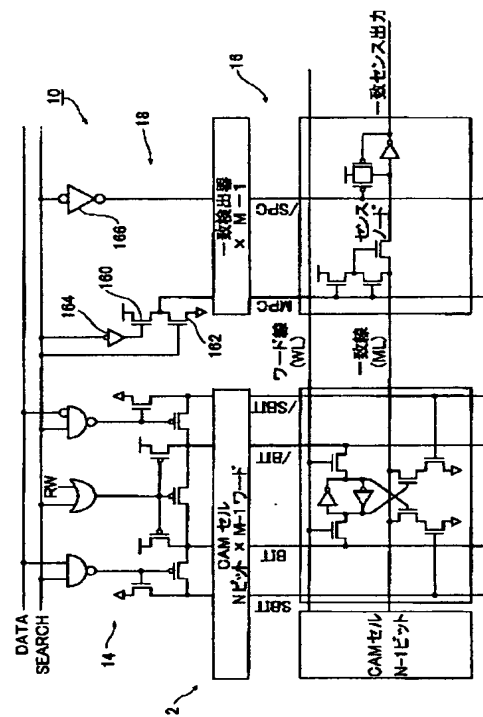
[最終頁に続く](#)

(54) 【発明の名称】 連想メモリ装置

(57) 【要約】

【課題】低消費電力でありながら、大容量化、高速化も可能な連想メモリ装置を提供する。

【解決手段】連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対と連想メモリセルに対して検索データを供給するための検索データ用のビット線対とを各々独立に配線し、検索データ用のビット線対の一致検索時のレベルを電源とグラウンドとの間の中間電位として小振幅化するか、記憶データと検索データとの一致検索の結果が出力される一致線のプリチャージレベルを電源とグラウンドとの間の中間電位として小振幅化するか、もしくは、両者を小振幅化する。



【特許請求の範囲】

【請求項 1】連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対と、前記記憶データ用のビット線対とは各々独立に配線された、前記連想メモリセルに対して検索データを供給するための検索データ用のビット線対と、前記検索データ用のビット線対の一致検索時のレベルを電源とグランドとの間の中間電位として小振幅化する第 1 手段とを備えていることを特徴とする連想メモリ装置。

【請求項 2】連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対と、前記記憶データ用のビット線対とは各々独立に配線された、前記連想メモリセルに対して検索データを供給するための検索データ用のビット線対と、前記記憶データと前記検索データとの一致検索の結果が出力される一致線のプリチャージレベルを電源とグランドとの間の中間電位として小振幅化する第 2 手段とを備えていることを特徴とする連想メモリ装置。

【請求項 3】連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対と、前記記憶データ用のビット線対とは各々独立に配線された、前記連想メモリセルに対して検索データを供給するための検索データ用のビット線対と、前記検索データ用のビット線対の一致検索時のレベルを電源とグランドとの間の中間電位として小振幅化する第 1 手段と、前記記憶データと前記検索データとの一致検索の結果が出力される一致線のプリチャージレベルを電源とグランドとの間の中間電位として小振幅化する第 2 手段とを備えていることを特徴とする連想メモリ装置。

【請求項 4】前記第 1 手段は、スタンバイ時に、前記記憶データ用のビット線対と前記検索データ用のビット線対とを電気的に分離して、前記記憶データ用のビット線対と前記検索データ用のビット線対とを互いに反対の極性のプリチャージ電位とし、一致検索時に、前記検索データ用のビット線対を前記中間電位にするに際し、前記中間電位にする前記検索データ用のビット線対の内の一方のビット線とこれに対応する前記記憶データ用のビット線対の内の一方のビット線とを電気的に接続して前記中間電位を発生する請求項 1 または 3 に記載の連想メモリ装置。

【請求項 5】前記第 1 手段は、キャパシタンスを備え、スタンバイ時に、前記検索データ用のビット線対と前記キャパシタンスとを電気的に分離して、前記検索データ用のビット線対のプリチャージ電位とは反対の極性の電位を前記キャパシタンスに蓄積し、一致検索時に、前記検索データ用のビット線対を前記中間電位にするに際し、前記中間電位にする前記検索データ用のビット線対の内の一方のビット線と前記キャパシタンスとを電気的に接続して前記中間電位を発生する請求項 1 または 3 に記載の連想メモリ装置。

【請求項 6】前記第 1 手段は、前記検索データ用のビット線対を前記中間電位にするための内部発生手段を備え、

スタンバイ時に、前記中間電位の内部発生手段と前記検索データ用のビット線対とを電気的に分離し、一致検索時に、前記検索データ用のビット線対を前記中間電位にするに際し、前記中間電位の内部発生手段と前記検索データ用のビット線対の一方とを電気的に接続して、前記中間電位の内部発生手段により、前記検索データ用のビット線対を前記中間電位とする請求項 1 または 3 に記載の連想メモリ装置。

【請求項 7】前記第 2 手段は、前記一致線とセンスノードとの間に接続され、クランプ電圧のレベルによりオンオフが制御されるチャージトランスファアンプとなる第 1 トランジスタと、前記センスノードのプリチャージ手段とを備え、

前記一致線は、前記センスノードのプリチャージ手段により、前記第 1 トランジスタを介して、前記クランプ電圧よりも少なくとも前記第 1 トランジスタのしきい値電圧分だけ低いまたは高い中間電位にプリチャージされることを特徴とする請求項 2～6 のいずれかに記載の連想メモリ装置。

【請求項 8】前記第 2 手段は、前記一致線とセンスノードとの間に接続され、クランプ電圧のレベルによりオンオフが制御されるチャージトランスファアンプとなる第 1 トランジスタと、前記一致線をプリチャージする第 2 トランジスタと、前記センスノードのプリチャージ手段と、前記クランプ電圧のレベルを制御するクランプ電圧制御回路とを備え、

前記一致線は、前記クランプ電圧のレベルとは独立に、前記第 2 トランジスタにより、電源電圧よりも少なくとも前記第 2 トランジスタのしきい値電圧分だけ低い、または、グランド電圧よりも少なくとも前記第 2 トランジスタのしきい値電圧分だけ高い中間電位にプリチャージされることを特徴とする請求項 2～6 のいずれかに記載の連想メモリ装置。

【請求項 9】前記第 2 手段は、前記一致線とセンスノードとの間に接続され、クランプ電圧のレベルによりオンオフが制御されるチャージトランスファアンプとなる第 1 トランジスタと、前記一致線をプリチャージし、前記クランプ電圧を発生する第 2 トランジスタと、前記センスノードのプリチャージ手段とを備え、

前記一致線は、少なくとも前記第 2 トランジスタにより、電源電圧よりも少なくとも前記第 2 トランジスタのしきい値電圧分だけ低い、または、グランド電圧よりも少なくとも前記第 2 トランジスタのしきい値電圧分だけ高い中間電位にプリチャージされ、前記クランプ電圧は、前記第 2 トランジスタにより、前記一致線のプリチャージ電圧と同電位に設定されることを特徴とする請求項 2～6 のいずれかに記載の連想メモリ装置。

【請求項10】前記第2手段は、キャパシタンスを備え、スタンバイ時に、前記一致線と前記キャパシタンスとを電氣的に分離して、前記一致線のプリチャージ電位とは反対の極性の電位を前記キャパシタンスに蓄積し、一致検索時に、前記一致線を前記中間電位にするに際し、当該一致線と前記キャパシタンスとを電氣的に接続して前記中間電位を発生する請求項2～6のいずれかに記載の連想メモリ装置。

【請求項11】前記第2手段は、前記一致線を前記中間電位にする内部発生手段を備え、スタンバイ時に、前記中間電位の内部発生手段と前記一致線とを電氣的に接続し、一致検索時に、前記中間電位の内部発生手段と前記一致線とを電氣的に分離して、前記内部発生手段により、前記一致線を前記中間電位とする請求項2～6のいずれかに記載の連想メモリ装置。

【請求項12】前記第2手段は、1ワードを構成する連想メモリセルの内の、所定ビット数分の連想メモリセルの一致出力が内部ノードに接続され、残りの連想メモリセルの一致出力が前記一致線に接続され、スタンバイ時に、前記内部ノードと前記一致線とを電氣的に分離して、前記内部ノードと前記一致線とを互いに反対の極性のプリチャージ電位とし、一致検索時に、前記一致線を前記中間電位にするに際し、前記内部ノードと前記一致線とを電氣的に接続して前記中間電位を発生する請求項2～6のいずれかに記載の連想メモリ装置。

【請求項13】請求項1～12のいずれかに記載の連想メモリ装置であって、さらに、前記一致線の一致検索後の電位を検出するためのリファレンス電圧を発生する第3手段と、前記リファレンス電圧に基づいて前記一致線の一致検索後の電位を検出し、これを一致センス出力として増幅出力するセンスアンプとを備え、前記第3手段は、第1および第2のキャパシタンスを備え、スタンバイ時に、前記第1および第2のキャパシタンスを電氣的に分離して、互いに反対の極性の電位を前記第1および第2のキャパシタンスに蓄積し、一致検索時に、前記第1および第2のキャパシタンスを電氣的に接続して前記リファレンス電圧を発生することを特徴とする連想メモリ装置。

【請求項14】前記第3手段は、前記リファレンス電圧の内部発生手段を備えることを特徴とする請求項12に記載の連想メモリ装置。

【請求項15】前記センスアンプは、スタンバイ状態および不一致検出時の前記一致センス出力が同じ電圧レベルであることを特徴とする請求項13または14に記載の連想メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、連想メモリ（以下、CAMという）装置の消費電力を低減する技術の分野に関するものである。

【0002】

【従来の技術】図17は、連想メモリ装置の一例の構成概念図である。同図に示すCAM装置118は、Nビット幅×Mワード構成のCAMセルアレイ120と、デコーダ122と、ビット線制御回路124と、一致検出器126と、フラグ発生器128と、優先順位エンコーダ130とを備えている。なお、図示していないが、ビット線制御回路124には、ビット線プリチャージ回路、ビット線ドライバ、センスアンプ、検索データレジスタ、マスキレジスタ等が含まれる。

【0003】図示例のCAM装置118において、記憶データの書き込み／読み出しは、通常のRAMと同じように行われる。すなわち、書き込み時には、デコーダ122によりアドレスADRに対応するワードWLを選択し、ビット線ドライバにより、記憶データとして、データDATAおよびその反転信号であるデータバー／DATAを各々ビット線BITおよびビットバー線／BIT上にドライブし、アドレスADRで選択されるメモリアドレスのワードに書き込む。

【0004】また、読み出し時には、同じくデコーダ122によりアドレスADRに対応するワードWLを選択することにより、選択したワードに格納されている記憶データおよびその反転信号である記憶データバーが、各々対応するビット線BITおよびビットバー線／BIT上に読み出される。そして、これをセンスアンプで検出することにより、アドレスADRで選択されるメモリアドレスのワードに格納されている記憶データをデータDATAとして読み出す。

【0005】検索データと記憶データとの一致検索は、前述のようにして、CAMセルアレイ120の各ワードに記憶データを書き込んだ後、データDATAとして検索データを入力し、検索開始を指示することにより行われる。検索データは検索データレジスタに保持され、検索データおよびその反転信号である検索データバーがビット線BITおよびビットバー線／BITにドライブされ、全てのワードで検索データと記憶データとの一致検索が行われる。

【0006】検索結果は、一致線MLを介して各々のワードに対応する一致検出器126によって検出され、フラグ発生器128および優先順位エンコーダ130に対して入力される。フラグ発生器128は、‘一致なし’、‘単一致’および‘複数一致’の状態を検出してフラグとして出力する。優先順位エンコーダ130は、一致があった場合、あらかじめ設定されている最優先順位の一致したワードのメモリアドレスを最優先順位ヒットアドレス(HHA)として出力する。

【0007】以下、図18に示すCAMセルの具体例を

挙げて、CAM装置118における一致検索動作についてさらに詳細に説明する。なお、同図に示すCAMセルは、いずれもSRAM構成のものである。

【0008】まず、図18(a)に示すCAMセル132において、一致検索は、ビット線BITおよびビットバー線/BITをローレベルとして、一致線MLとグラウンドとの間に接続されたN型MOSトランジスタ（以下、NMOSという）138をオフし、一致線MLを電源電位にプリチャージした後、検索データをビット線BIT上に、検索データバーをビットバー線/BIT上にドライブすることにより行われる。

【0009】この時、記憶データと検索データとが一致していれば、NMOS138のゲートは、記憶データに応じて、オンしている一方のNMOS134または136を介してローレベルが保持されるため、一致線MLはプリチャージされた状態を保持する。これに対し、不一致であれば、NMOS138のゲートには、オンしているNMOS134または136を介してハイレベルが入力されるため、NMOS138がオンして一致線MLはディスチャージされる。

【0010】続いて、図18(b)に示すCAMセル140において、一致検索は、ビット線BITおよびビットバー線/BITをローレベルとして、グラウンドに接続された2つのNMOS146、148をオフし、一致線MLを電源電位にプリチャージした後、検索データをビット線BIT上に、検索データバーをビットバー線/BIT上にドライブすることにより行われる。

【0011】この時、記憶データと検索データとが一致していれば、一致線MLとグラウンドとの間に直列接続された2つのNMOS142、146およびNMOS144、148は、いずれもどちらか一方がオフしているため、一致線MLはプリチャージされた状態を保持する。これに対し、不一致であれば、NMOS142、146またはNMOS144、148の両方がオンするため、この両方がオンするNMOSを介して一致線MLはディスチャージされる。

【0012】なお、図18(c)に示すCAMセル150において、一致検索は、ビット線BITおよびビットバー線/BITをハイレベルとして、一致線MLに接続された2つのP型MOSトランジスタ（以下、PMOSという）156、158をオフし、一致線MLをグラウンド電位にディスチャージした後、検索データをビット線BIT上に、検索データバーをビットバー線/BIT上にドライブすることにより行われる。

【0013】この時、記憶データと検索データとが一致していれば、電源と一致線MLとの間に直列接続された2つのPMOS152、156およびPMOS154、158は、いずれもどちらか一方がオフしているため、一致線MLはディスチャージされた状態を保持する。これに対し、不一致であれば、PMOS152、156ま

たはPMOS154、158の両方がオンするため、この両方がオンするPMOSを介して一致線はチャージアップされる。

【0014】図17に示すCAM装置118の場合、1ワードはNビット幅のCAMセルから構成され、同じワードを構成するNビットのCAMセルで一致線MLが共通に接続されているので、1ワードを構成する全てのCAMセルで一致検出された場合にのみ、一致線MLはスタンバイ時のレベルを保持する。これに対して、1ワードの中の1ビットのCAMセルでも不一致が検出された場合、一致線MLは、スタンバイ時とは反対のレベルとなる。

【0015】図18に示すCAMセル132、140、150はいずれも不一致検出型であって、不一致の場合に一致線MLがプリチャージ電位とは反対の電位に充放電される。しかしながら、通常、検索動作では、大部分のワードが不一致するので、図18に示す不一致検出型のCAMセルの例の場合、大部分の一致線MLは、プリチャージ電位とは反対の電位に充放電され、検索サイクル毎に電源電位～グラウンド電位までフル振幅することになる。

【0016】また、ビット線対に関して、図18(a)および(b)のCAMセル132、140の場合、通常記憶データのリード/ライト後のスタンバイ時に電源電位にプリチャージされるビット線対BIT、/BITを、一致検索時には一旦グラウンド電位までディスチャージしてから一致線MLを電源電位にプリチャージした後、再度検索データに応じてビット線BITまたはビットバー線/BITのどちらか一方を電源電位までドライブする必要がある。

【0017】すなわち、図18(a)および(b)のCAMセル132、140の場合、一致線MLをプリチャージするために、一旦ビット線対BIT、/BITをグラウンドレベルとしなければならないため、その分の電流を消費する。これに対し、図18(c)のCAMセル150は、一致線MLをディスチャージした後、同じく電源電位にプリチャージされているビット線対BIT、/BITのどちらか一方をグラウンド電位までドライブするようにしたものである。

【0018】このように、検索動作時には、大部分の一致線MLやビット線対BIT、/BITで同時にプリチャージ/ディスチャージが行われるため、CAM装置を大容量、高速化するに従って、その消費電力が増大するという問題点があった。しかし、CAM装置は、原理的に、検索データと全ての記憶データとの照合を同時に行う必要があるため、通常のRAMのように、メモリアレイのブロック分割やバンク分割等を行い、選択されたブロックやバンクのみを動作させることによって消費電力を削減するという手段をとることはできない。

【0019】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点を解消し、低消費電力でありながら、大容量化、高速化も可能な連想メモリ装置を提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成するために、本発明は、連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対と前記連想メモリセルに対して検索データを供給するための検索データ用のビット線対とが、各々独立に配線されたことを特徴とする連想メモリ装置を用いるものである。

【0021】そして、本発明は、各々独立に配線された、連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対および前記連想メモリセルに対して検索データを供給するための検索データ用のビット線対と、前記検索データ用のビット線対の一致検索時のレベルを電源とグラウンドとの間の中間電位として小振幅化する第1手段を備えていることを特徴とする連想メモリ装置を提供するものである。

【0022】連想メモリにおいては、記憶ビット線と検索ビット線のうち、ビット線のプリチャージ／ディスチャージにより、消費電力に大きく寄与するのは検索ビット線の方が桁違いに大きい。これはデータのリード／ライト時には選択された一部のカラムの記憶ビット線しか動作しないのに対して、検索動作時には検索対象となる全ての検索ビット線を動作する必要があるからである。記憶ビット線については、従来同様に電源とグラウンド間で動作させてもよいし、また、検索ビット線と同様に中間電位として小振幅化してもよい。しかし、記憶ビット線は従来と同様に電源とグラウンド間で動作させることにより、記憶ビットのリード／ライトの動作速度と安定性を保ったままで連想メモリの消費電力を大きく低減できるというメリットがある。

【0023】ここで、前記第1手段は、スタンバイ時に、前記記憶データ用のビット線対と前記検索データ用のビット線対とを電気的に分離して、前記記憶データ用のビット線対と前記検索データ用のビット線対とを互いに反対の極性のプリチャージ電位とし、一致検索時に、前記検索データ用のビット線対を前記中間電位にするに際し、前記中間電位にする前記検索データ用のビット線対の内の一方のビット線とこれに対応する前記記憶データ用のビット線対の内の一方のビット線とを電気的に接続して前記中間電位を発生するのが好ましい。

【0024】また、前記第1手段は、キャパシタンスを備え、スタンバイ時に、前記検索データ用のビット線対と前記キャパシタンスとを電気的に分離して、前記検索データ用のビット線対のプリチャージ電位とは反対の極性の電位を前記キャパシタンスに蓄積し、一致検索時に、前記検索データ用のビット線対を前記中間電位にするに際し、前記中間電位にする前記検索データ用のビッ

ト線対の内の一方のビット線と前記キャパシタンスとを電気的に接続して前記中間電位を発生するのが好ましい。

【0025】また、前記第1手段は、前記検索データ用のビット線対を前記中間電位にするための内部発生手段を備え、スタンバイ時に、前記中間電位の内部発生手段と前記検索データ用のビット線対とを電気的に分離し、一致検索時に、前記検索データ用のビット線対を前記中間電位にするに際し、前記中間電位の内部発生手段と前記検索データ用のビット線対とを電気的に接続して、前記中間電位の内部発生手段により、前記検索データ用のビット線対を前記中間電位とするのが好ましい。

【0026】また、本発明は、連想メモリ装置において、記憶データと検索データとの一致検索の結果が出力される一致線のプリチャージレベルを電源とグラウンドとの間の中間電位として小振幅化する第2手段を備えていることを特徴とする連想メモリ装置を提供するものである。

【0027】ここで、前記第2手段は、前記一致線とセンスノードとの間に接続され、クランプ電圧のレベルによりオンオフが制御されるチャージトランスファアンプとなる第1トランジスタと、前記センスノードのプリチャージ手段とを備え、前記一致線は、前記センスノードのプリチャージ手段により、前記第1トランジスタを介して、前記クランプ電圧よりも少なくとも前記第1トランジスタのしきい値電圧分だけ低いまたは高い中間電位にプリチャージされるのが好ましい。

【0028】また、前記第2手段は、前記一致線とセンスノードとの間に接続され、クランプ電圧のレベルによりオンオフが制御されるチャージトランスファアンプとなる第1トランジスタと、前記一致線をプリチャージする第2トランジスタと、前記センスノードのプリチャージ手段と、前記クランプ電圧のレベルを制御するクランプ電圧制御回路とを備え、前記一致線は、前記クランプ電圧のレベルとは独立に、前記第2トランジスタにより、電源電圧よりも少なくとも前記第2トランジスタのしきい値電圧分だけ低い、または、グラウンド電圧よりも少なくとも前記第2トランジスタのしきい値電圧分だけ高い中間電位にプリチャージされるのが好ましい。

【0029】また、前記第2手段は、前記一致線とセンスノードとの間に接続され、クランプ電圧のレベルによりオンオフが制御されるチャージトランスファアンプとなる第1トランジスタと、前記一致線をプリチャージし、前記クランプ電圧を発生する第2トランジスタと、前記センスノードのプリチャージ手段とを備え、前記一致線は、前記第2トランジスタにより、電源電圧よりも少なくとも前記第2トランジスタのしきい値電圧分だけ低い、または、グラウンド電圧よりも少なくとも前記第2トランジスタのしきい値電圧分だけ高い中間電位にプリチャージされ、前記クランプ電圧は、前記第2トランジ

スタにより、前記一致線のプリチャージ電圧と同電位に設定されるのが好ましい。

【0030】また、前記第2手段は、キャパシタンスを備え、スタンバイ時に、前記一致線と前記キャパシタンスとを電氣的に分離して、前記一致線のプリチャージ電位とは反対の極性の電位を前記キャパシタンスに蓄積し、一致検索時に、前記一致線を前記中間電位にするに際し、当該一致線と前記キャパシタンスとを電氣的に接続して前記中間電位を発生するのが好ましい。

【0031】また、前記第2手段は、前記一致線に接続される前記中間電位の内部発生手段を備え、スタンバイ時に、前記中間電位の内部発生手段と前記一致線とを電氣的に接続し、一致検索時に、前記中間電位の内部発生手段と前記一致線とを電氣的に分離して、前記内部発生手段により、前記一致線を前記中間電位とするのが好ましい。

【0032】また、本発明は、各々独立に配線された、連想メモリセルに対して記憶データをリード／ライトするための記憶データ用のビット線対および前記連想メモリセルに対して検索データを供給するための検索データ用のビット線対と、前記検索データ用のビット線対の一致検索時のレベルを電源とグラウンドとの間の中間電位として小振幅化する第1手段と、前記記憶データと前記検索データとの一致検索の結果が出力される一致線のプリチャージレベルを電源とグラウンドとの間の中間電位として小振幅化する第2手段とを備えていることを特徴とする連想メモリ装置を提供するものである。ここで、前記第1手段、第2手段は、上述したものをを用いることができる。

【0033】また、前記第2手段は、1ワードを構成する連想メモリセルの内の、所定ビット数分の連想メモリセルの一致出力が内部ノードに接続され、残りの連想メモリセルの一致出力が前記一致線に接続され、スタンバイ時に、前記内部ノードと前記一致線とを電氣的に分離して、前記内部ノードと前記一致線とを互いに反対の極性のプリチャージ電位とし、一致検索時に、前記一致線を前記中間電位にするに際し、前記内部ノードと前記一致線とを電氣的に接続して前記中間電位を発生するのが好ましい。

【0034】また、上記記載の連想メモリ装置であって、さらに、前記一致線の一致検索後の電位を検出するためのリファレンス電圧を発生する第3手段と、前記リファレンス電圧に基づいて前記一致線の一致検索後の電位を検出し、これを一致センス出力として増幅出力するセンスアンプとを備え、前記第3手段は、第1および第2のキャパシタンスを備え、スタンバイ時に、前記第1および第2のキャパシタンスを電氣的に分離して、互いに反対の極性の電位を前記第1および第2のキャパシタンスに蓄積し、一致検索時に、前記第1および第2のキャパシタンスを電氣的に接続して前記リファレンス電圧

を発生するのが好ましい。

【0035】また、前記第3手段は、前記リファレンス電圧の内部発生手段を備えるのが好ましい。

【0036】また、前記センスアンプは、スタンバイ状態および不一致検出時の前記一致センス出力が同じ電圧レベルであるのが好ましい。

【0037】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明の連想メモリ装置を詳細に説明する。

【0038】図1は、本発明の連想メモリ装置の一実施例の構成概略図である。同図は、本発明の連想メモリ（以下、CAMという）装置10の特徴的な部分のみを表したもので、同図に示すように、CAMセルアレイ12と、ビット線制御回路14と、一致検出器16と、チャージ線制御回路18とを備えている。なお、これら以外のCAM装置10の構成要件は従来公知のものをを用いることができるため、図示を省略する。

【0039】図示例のCAM装置10において、まず、CAMセルアレイ12は、Nビット幅×MワードのCAMセルをアレイ状に配置したものである。図2に詳細を示すように、CAMセル20は、1ビットのデータを記憶する記憶部22と、記憶部22に記憶された1ビットの記憶データと検索データとを比較する検索部24とを備え、記憶データ用のビット線対BIT、／BITと検索データ用のビット線対SBIT、／SBITとを各々独立した配線で接続している。

【0040】ここで、記憶部22は、図示例の場合、従来公知のSRAMセルであって、各々の出力端子を他方の入力端子に入力してリング状に接続された2つのインバータ26、28と、これら各々のインバータ26、28の入力端子と記憶データ用ビット線BITおよび記憶データ用ビットバー線／BITとの間に接続された2つのN型MOSトランジスタ（以下、NMOSという）30、32とを備え、2つのNMOS30、32のゲートにはワード線WLが共通に接続されている。

【0041】検索部24は、NMOS34、36、38、40を備えている。NMOS34、38は、一致線MLとグラウンド線との間に直列接続され、そのゲートは、それぞれ記憶部22のインバータ26の出力端子および検索データ用ビット線SBITに接続されている。同じく、NMOS36、40は、一致線MLとグラウンド線との間に直列接続され、そのゲートは、それぞれ記憶部22のインバータ28の出力端子および検索データ用ビットバー線／SBITに接続されている。

【0042】図示例のCAMセル20の動作は、基本的に、図18（b）に示すCAMセル140と同じである。しかし、本発明に係るCAMセル20の場合には、記憶データ用のビット線対BIT、／BITと検索データ用のビット線対SBIT、／SBITとが独立に配線

されているため、スタンバイ時に、記憶データ用のビット線対BIT、／BITを電源電位とし、逆に、検索データ用のビット線対SBIT、／SBITをグラウンドレベルにしておくことができる。

【0043】また、CAMセル20は、検索データ用のビット線対SBIT、／SBITが独立に配線され、検索データ用のビット線対SBIT、／SBITの負荷容量が半減されるので、CAM装置10を大容量化しても、一致検索時の消費電流を半減することができ、負荷容量が半減している分、高速に動作させることができる。また、以下詳細に説明するように、検索データ用のビット線対SBIT、／SBITをフル振幅させるのではなく、小振幅化することも可能になる。

【0044】なお、検索データ用のビット線対SBIT、／SBITを独立に配線しても、現在では多層メタル配線化されているので、レイアウト面積の増加はほとんどないに等しい。また、CAMセルは、図示例のものに限定されず、従来公知のあらゆる種類のCAMセルを利用可能である。例えば、図示例では、記憶部22がSRAM型のものを例示したが、これも限定されず、DRAM型や各種のROM型のものでもよい。また、検索部24の構造も限定されない。

【0045】続いて、図1に示すCAM装置10において、ビット線制御回路14は、CAMセルアレイ12に供給される検索データ用のビット線対SBIT、／SBITの一致検索時の電位を中間電位にプリチャージする。これは、前述のように、検索データ用のビット線対SBIT、／SBITを独立に配線するようにしたことによって初めて実現可能となったものである。以下、図3を参照して、ビット線制御回路について説明する。

【0046】まず、同図(a)に示すビット線制御回路14aは、検索データ用のビット線SBITの制御回路42となるNANDゲート46、ディスチャージ用NMOS48およびイコライズ用P型MOSトランジスタ(以下、PMOSという)50と、検索データ用のビットバー線／SBITの制御回路44となるNANDゲート52、ディスチャージ用NMOS54およびイコライズ用PMOS56とを備えている。

【0047】制御回路42において、NANDゲート46の2つの入力端子には、信号DATAおよび信号SEARCHが接続され、その出力端子は、NMOS48およびPMOS50のゲートに接続されている。また、NMOS48は、検索データ用のビット線SBITとグラウンドとの間に接続され、PMOS50は、検索データ用のビット線SBITと記憶データ用のビット線BITとの間に接続されている。

【0048】制御回路44において、NANDゲート52の反転入力端子およびもう1つの入力端子には、それぞれ信号DATAおよび信号SEARCHが接続され、その出力端子は、NMOS54およびPMOS56のゲ

ートに接続されている。また、NMOS54は、検索データ用のビットバー線／SBITとグラウンドとの間に接続され、PMOS56は、検索データ用のビットバー線／SBITと記憶データ用のビットバー線／BITとの間に接続されている。

【0049】なお、同図には、記憶データ用のビット線対BIT、／BITの制御回路58となるORゲート60、プリチャージ用PMOS62、64およびイコライズ用PMOS66も合わせて図示してある。

【0050】制御回路58において、ORゲート60の2つの入力端子には、信号RWおよび信号SEARCHが接続され、その出力端子はPMOS62、64、66のゲートに接続されている。また、PMOS62、64は、それぞれ電源と記憶データ用のビット線BITおよび同ビットバー線／BITとの間に接続され、PMOS66は、記憶データ用のビット線BITと同ビットバー線／BITとの間に接続されている。

【0051】ここで、信号SEARCHは、一致検索の開始を指示する信号であって、一致検索時にはハイレベルとなり、スタンバイ時にはローレベルとなる。また、信号DATAは、検索データ用のビット線対SBIT、／SBITをドライブするためのデータ信号である。信号RWは、記憶データの読み出し(リード(R))／書き込み(ライト(W))を指示する信号であって、リードおよびライト時にハイレベル、スタンバイ時にローレベルとなる。

【0052】図示例のビット線制御回路14aにおいて、まず、スタンバイ時には、信号SEARCHおよび信号RWはともにローレベルとなる。その結果、記憶データ用の制御回路58において、ORゲート60の出力信号がローレベルとなり、PMOS62、64、66はともにオンする。これにより、記憶データ用のビット線対BIT、／BITは、PMOS62、64、66を介してともに同電位の電源電位にプリチャージされる。

【0053】また、検索データ用のビット線SBITの制御回路42では、NANDゲート46の出力信号がハイレベルとなり、NMOS48およびPMOS50はそれぞれオンおよびオフする。すなわち、検索データ用のビット線SBITと記憶データ用のビット線BITとは、PMOS50によって電氣的に分離され、検索データ用のビット線SBITはNMOS48を介してグラウンド電位までディスチャージされる。

【0054】同じく、検索データ用のビットバー線／SBITの制御回路44では、NANDゲート52の出力信号がハイレベルとなり、NMOS54およびPMOS56はそれぞれオンおよびオフとなる。すなわち、検索データ用のビットバー線／SBITと記憶データ用のビットバー線／BITとは、PMOS56によって電氣的に分離され、検索データ用のビットバー線／SBITはNMOS54を介してグラウンド電位までディスチャージ

される。

【0055】一致検索時には、信号DATAが、検索データに応じて、検索データ用のビット線SBITをハイレベル（すなわち、検索データ用のビットバー線/SBITをローレベル）にする場合にハイレベルとなり、検索データ用のビット線SBITをローレベル（すなわち、検索データ用のビットバー線/SBITをハイレベル）にする場合にローレベルとなり、信号SEARCHがハイレベルとなる。

【0056】この時、記憶データ用の制御回路58において、ORゲート60の出力信号はハイレベルとなり、PMOS62, 64, 66はともにオフする。従って、記憶データ用のビット線対BIT, /BITはともに、スタンバイ時にプリチャージされた電源電位のフローティングハイ状態となる。

【0057】信号DATAがハイレベルであれば、検索データ用のビット線SBITの制御回路42では、NANDゲート46の出力信号がローレベルとなり、NMOS48およびPMOS50はそれぞれオフおよびオンする。これにより、検索データ用のビット線SBITと記憶データ用のビット線BITとはPMOS50を介して電氣的に接続され、両者の負荷容量が同じであれば、両者の電位はともにハイレベルとして電源電位の半分の電位になる。

【0058】これに対して、検索データ用のビットバー線/SBITの制御回路44では、NANDゲート52の出力信号がハイレベルの状態を維持するため、検索データ用のビットバー線/SBITは、NMOS54を介してグラウンド電位にディスチャージされている状態を維持する。なお、信号DATAがローレベルの場合には、検索データ用のビット線SBITと同ビットバー線/SBITの状態は逆になる。

【0059】図示例のビット線制御回路14aの場合、スタンバイ時には、記憶データ用のビット線対BIT, /BITはハイレベル、検索データ用のビット線対SBIT, /SBITはローレベルとなる。また、一致検索時には、検索データ用のビット線SBITと記憶データ用のビット線BIT、または、検索データ用のビットバー線/SBITと記憶データ用のビットバー線/BITとの一方を電氣的に短絡することによって、検索ビット線対の一方を電源とグラウンドとの間の中間電位とし、他方をグラウンド電位のままにしておくことができる。

【0060】続いて、ビット線制御回路の他の一例について説明する。同図(b)に示すビット線制御回路14bは、検索データ用のビット線SBITの制御回路68となるANDゲート72、インバータ74、ディスチャージ用NMOS76および中間電位発生用NMOS78, 80と、検索データ用のビットバー線/SBITの制御回路70となるANDゲート82、インバータ84、ディスチャージ用NMOS86および中間電位発生

用NMOS88, 90とを備えている。

【0061】制御回路68において、ANDゲート72の2つの入力端子には、信号DATAおよび信号SEARCHが接続され、その出力端子は、NMOS78のゲートおよびインバータ74の入力端子に接続され、インバータ74の出力端子はNMOS76のゲートに接続されている。また、NMOS76は、検索データ用のビット線SBITとグラウンドとの間に接続され、NMOS78, 80は、電源と検索データ用のビット線SBITとの間に直列に接続され、NMOS80のゲートは、NMOS78のソースに接続されている。

【0062】制御回路70では、ANDゲート82の反転入力端子およびもう1つの入力端子には、それぞれ信号DATAおよび信号SEARCHが接続され、その出力端子は、NMOS88のゲートおよびインバータ84の入力端子に接続され、インバータ84の出力端子はNMOS86のゲートに接続されている。また、NMOS86は、検索データ用ビットバー線/SBITとグラウンドとの間に接続され、NMOS88, 90は、電源と検索データ用ビットバー線/SBITとの間に直列に接続され、NMOS90のゲートは、NMOS88のソースに接続されている。

【0063】スタンバイ時には、信号SEARCHがローレベルとなり、制御回路68, 70では、ANDゲート72, 82の出力信号がローレベル、インバータ74, 84の出力信号はハイレベルとなり、NMOS76, 86がオンして、検索データ用のビット線対SBIT, /SBITはともにグラウンド電位までディスチャージされる。一致検索時には、信号DATAが、検索データに応じてハイレベルまたはローレベルとなり、信号SEARCHがハイレベルとなる。

【0064】信号DATAがハイレベルの場合、制御回路68では、ANDゲート72の出力信号がハイレベル、すなわち、インバータ74の出力信号がローレベルとなる。これにより、NMOS78, 80がオン、NMOS76がオフし、検索データ用のビット線SBITは、ハイレベルとして、電源電位VDDよりもNMOS78, 80のしきい値電圧V_{th}だけ低い電位、すなわち、VDD-2V_{th}の中間電位となる。

【0065】一方、検索データ用のビットバー線/SBITの制御回路70では、ANDゲート82の出力信号がローレベルの状態を維持するため、検索データ用のビットバー線/SBITは、NMOS86を介してグラウンド電位にディスチャージされている状態を維持する。なお、信号DATAがローレベルの場合には、検索データ用のビット線SBITと同ビットバー線/SBITの状態は逆になる。

【0066】図示例のビット線制御回路14bの場合、スタンバイ時には、検索データ用のビット線対SBIT, /SBITはローレベルとなる。また、一致検索時

には、中間電位発生用NMOSの個数に応じて電源電位を降下させることにより中間電位を発生する。このように、検索データ用のビット線対SBIT、/SBITのハイレベルを電源とグラウンドとの間の中間電位とすることにより、一致検索時の消費電流を削減することができる。

【0067】なお、ビット線制御回路において、電源とグラウンドとを入れ替え、なおかつ、各内部信号の極性を反転させて、NMOSとPMOSとを入れ替えて回路を構成してもよい。

【0068】この場合、ビット線制御回路14aでは、スタンバイ時には、記憶データ用のビット線対BIT、/BITはローレベル、検索データ用のビット線対SBIT、/SBITはハイレベルとなり、一致検索時には、検索データ用のビット線SBITと記憶データ用のビット線BIT、または、検索データ用のビットバー線/SBITと記憶データ用のビットバー線/BITとの一方を電氣的に短絡することによって、検索ビット線対の一方を電源とグラウンドとの間の中間電位とし、他方を電源電位のままにしておくことができる。

【0069】また、ビット線制御回路14bでは、スタンバイ時には、検索データ用のビット線対SBIT、/SBITはハイレベルとなり、一致検索時には、中間電位発生用PMOSの個数に応じてグラウンド電位を上昇させることにより中間電位を発生する。

【0070】図1に示すCAM装置10において、一致検出器16は、CAMセルアレイ12の各々のワードに対応して1つずつ、合計M個設けられ、同図に示すチャージ線制御回路18の制御により、チャージトランスファアンプを用いて一致検索後の一致線MLのレベルを検出し、これを一致センス出力として増幅出力する。なお、本発明では、一致線MLのスタンバイ時のプリチャージ電位を電源とグラウンドとの間の中間電位とすることを特徴とする。

【0071】図4に、一致検出器の一実施例の構成回路図を示す。まず、同図(a)に示す一致検出器16aは、チャージトランスファアンプであるNMOS92と、センスノードのプリチャージ回路であるPMOS94と、一致センス出力回路96となるPMOS98およびインバータ100とを備えている。なお、同図に概念的に示すように、一致線MLには、1ワードのビット数に相当するN個のCAMセル22が接続されている。

【0072】本発明においては、一致線MLのプリチャージ電圧を中間電位として小振幅化しているため、一致検出の高速化のためにインバータ100の入力側にチャージトランスファアンプとしての役割を果たすNMOS92を設けている。

【0073】ここで、NMOS92は、一致線MLとセンスノードとの間に接続され、そのゲートにはクランプ電圧が印加されている。また、インバータ100は、セ

ンスノードと一致センス出力線との間に接続されている。PMOS94およびPMOS98は、電源とセンスノードとの間に並列に接続され、それらのゲートには、それぞれセンスノードのプリチャージ線(図1の信号線/SPC)およびインバータ100の出力端子が接続されている。

【0074】同図に示す一致検出器16aにおいて、スタンバイ時には、プリチャージ線がローレベル(信号SEARCHがローレベル)となってPMOS94がオンし、センスノードは、PMOS94を介して電源電位までプリチャージされる。これにより、一致センス出力回路96では、センスノードのハイレベルがインバータ100によって反転され、一致センス出力としてローレベルが出力される。従って、センスノードはPMOS98によっても電源電位にプリチャージされる。

【0075】ここで、例えばクランプ電圧が電源電位である場合、NMOS92がオンして、一致線MLは、このNMOS92を介してPMOS94、98によりプリチャージされる。そして、一致線MLの電位が電源電位VDDよりもNMOS92のしきい値 V_{th} だけ低い電位までプリチャージされた時点でNMOS92はオフする。

【0076】その後、プリチャージ線をハイレベルにすると、PMOS94はオフするが、一致線MLは、フローティングハイの $VDD - V_{th}$ の電位を維持し、センスノードおよび一致センス出力は、センスノードがPMOS98によってプリチャージされた状態を保持するため、前述の状態を維持する。一致検索の結果、不一致となり、一致線MLの電位がプリチャージ電位である $VDD - V_{th}$ よりも少しでも低く(NMOS92のゲート・ソース間電位 $V_{gs} > \text{しきい値電圧 } V_{th}$)になると、NMOS92がオンする。

【0077】言うまでもなく、一致線MLの負荷容量はセンスノードと比べて非常に大きいので、センスノードの増幅効果をもたらし、センスノードにプリチャージされた電荷は、NMOS92を介して急速に一致線MLの方へ引き抜かれ、一致線MLとセンスノードの電位は同電位となる。そして、センスノードの電位がインバータ100のしきい値よりも低くなると、一致センス出力としてハイレベルが出力される。

【0078】このようにして一致線MLが $VDD - V_{th}$ より少しでも低くなると、NMOS92がオンすることによりセンスノードは一致線と同電位となるため、一致検出の高速化が図られている。

【0079】一致検出器16aでは、クランプ電圧を電源電圧VDDよりも低くすることによって、一致線MLのスタンバイ時のプリチャージ電位を、理論的にはNMOS92のしきい値 $+ \alpha$ の中間電位とすることができる。例えば、クランプ電圧を $VDD - V_{th}$ とすると、一致線MLは、 $VDD - 2V_{th}$ までプリチャージされ

る。このように、一致線MLを小振幅化することによって、一致検索時の一致線MLにおける消費電流を削減することができる。

【0080】なお、一致検出器16aでは、チャージトランスファアンプであるNMOS92を介してプリチャージされるため、例えばプリチャージ時間を短縮化する等の高速動作させた場合には、一致線MLが完全にプリチャージされない場合にはNMOS92がオフせず、プリチャージの終了時にセンスノードの電荷が一致線ML側に漏れて誤センスする可能性がある。また、完全にプリチャージされた場合であっても、NMOS92の $V_{gs} = V_{th}$ であるためノイズマージンが低いと言える。

【0081】同図(b)に示す一致検出器16bは、同図(a)に示す一致検出器16aにおけるノイズマージンの低さを解消し、プリチャージ時間を短縮してノイズマージンを向上させたもので、同図(a)に示す一致検出器16aにおいて、さらに、一致線プリチャージ回路であるNMOS102と、電源とグランドとの間に直列接続されたPMOS106および2つのNMOS108, 110からなるクランプ電圧発生回路104とを備えている。

【0082】NMOS102は電源と一致線との間に接続され、そのゲートには一致線プリチャージ線が接続されている。クランプ電圧発生回路104のPMOS106およびNMOS110のゲートには検索開始線が共通に接続され、NMOS108のゲートはPMOS106のドレインに接続されている。また、NMOS92のゲートには、クランプ電圧として、NMOS108, 110の接続点のノードが接続されている。

【0083】なお、クランプ電圧発生回路104は、本来であればNMOS108のみを備え、これを検索開始線で制御するようにすればよいが、クランプ電圧がNMOS108のゲート・ドレイン電圧 V_{gd} のカップリングによって設定電圧、本実施例の場合には、 $V_{DD} - V_{th}$ 以上になるのを防ぐために、クランプ電圧をグランドレベルにディスチャージするNMOS110と、電源とNMOS108との間に接続されたPMOS106とを備えている。

【0084】この一致検出器16bは、一致線MLのプリチャージ電位とチャージトランスファアンプであるNMOS92のクランプ電圧とを、別々にチャージして同電位となるようにしたものである。図示例の場合、スタンバイ時には、一致線MLの電位は電源電位 $V_{DD} - NMOS102$ のしきい値電圧 V_{th} までプリチャージされ、NMOS92のクランプ電圧も、電源電位 $V_{DD} - NMOS108$ のしきい値電圧 V_{th} に設定される。

【0085】従って、一致線MLをNMOS102を介して高速にプリチャージすることができるし、一致線MLのプリチャージ電位とNMOS92のクランプ電圧が同じ $V_{DD} - V_{th}$ であるため、一致検索時に、一致線

MLに V_{th} 分のノイズマージンを設けることができる。

【0086】一致線検出器16bにおいても、例えば非常に高速で動作させる場合等においては、図4(a)に示す一致検出器16aの場合と同じように、一定周期のサイクルで、負荷容量の大きい一致線MLを所定サイズのNMOS102で $V_{DD} - V_{th}$ までプリチャージすることができない場合もあり得る。これに対し、クランプ電圧のノードは負荷容量がほとんどないので、完全に $V_{DD} - V_{th}$ までプリチャージされる。

【0087】プリチャージを終了して一致検索を開始する時点で、一致線MLの電位が完全に $V_{DD} - V_{th}$ までプリチャージされておらず、クランプ電圧と一致線MLとの電位差が V_{th} 以上あると、その時点でNMOS92がオンしており、図4(a)に示す一致検出器16aの場合と同じように誤動作する可能性がないとは言えない。この問題を解消し、クランプ電圧と一致線MLとの電位差が生じないようにした一致検出器を図4(c)に示す。

【0088】同図(c)に示す一致検出器16cは、同図(a)に示す一致検出器16aにおいて、さらに、2つのNMOS114, 116からなる一致線プリチャージ回路112を備えている。NMOS114, 116は電源線と一致線との間に直列接続され、そのゲートには、一致線のプリチャージ線が共通に接続されている。また、NMOS92のゲートには、クランプ電圧として、これら2つのNMOS114, 116の接続点のノードが接続されている。

【0089】この一致検出器16cにおいて、例えば一致線のプリチャージ線が電源電位 V_{DD} である場合、スタンバイ時には、一致線MLは、一致線プリチャージ回路112の2つのNMOS114, 116を介して $V_{DD} - V_{th}$ までプリチャージされる。また、クランプ電圧として、一致プリチャージ回路112のNMOS114, 116の接続点のノードが用いられており、このノードの電位も $V_{DD} - V_{th}$ となる。

【0090】この一致検出器16cにおいても、高速動作させた場合には、一致線プリチャージ回路112の2つのNMOS114, 116のサイズ(ドライブ能力)に応じて、一定のサイクル時間内に一致線MLを所定の電位、本実施例の場合には $V_{DD} - V_{th}$ までプリチャージできなくなる。しかし、この一致検出器16cでは、一致線MLのプリチャージ電位はクランプ電圧と常に同じになるため、誤動作する可能性はないと言える。

【0091】なお、一致検出器16aの場合と同じように、一致検出器16bでは、例えばクランプ電圧発生回路104のNMOS108の直列段数を変えて、チャージトランスファアンプであるNMOS92のクランプ電圧のレベルを調整することができる。また、一致検出器16cでは、一致線のプリチャージ線のハイレベルの電

圧を変えて、一致線MLのプリチャージレベルおよびNMOS 92のクランプ電圧のレベルを調整することができる。

【0092】また、一致検出器において、電源とグランドとを入れ替え、なおかつ、各内部信号の極性を反転させて、NMOSとPMOSとを入れ替えて回路を構成してもよい。

【0093】最後に、図1に示すCAM装置10において、チャージ線制御回路18は、図4(c)に示す一致検出器16cの一致線のプリチャージ線の電圧レベルやセンスノードのプリチャージ線の電圧レベルを調整する。なお、本発明では、チャージ線制御回路18の具体的な回路構成は何ら限定されるものではない。

【0094】図1に示すチャージ線制御回路18は、図4(c)に示す一致検出器16cに対応するもので、電源とグランドとの間に直列に接続された2つのNMOS 160、162と、インバータ164と、バッファ166とを備えている。インバータ164の入力端子、NMOS 162のゲートおよびバッファ166の入力端子には信号SEARCHが接続され、インバータ164の出力端子はNMOS 160のゲートに接続されている。そして、NMOS 160、162の接続ノードは信号MPC、バッファ166の出力は信号/SPCとして出力されている。

【0095】このチャージ線制御回路18において、スタンバイ状態、すなわち、信号SEARCHがローレベルの時には、NMOS 162がオフし、インバータ164の出力信号はハイレベルとなってNMOS 160がオンする。これにより、電源電圧をVDD、NMOS 160のしきい値電圧を V_{th} とすると、信号MPCの電圧レベルは $VDD - V_{th}$ となる。また、バッファ166の出力はローレベルであり、信号/SPCはローレベルとなる。

【0096】チャージ線制御回路18を用いて、信号MPCの電圧レベルを適宜調整することによって、図4(c)に示す一致検出器16cの一致線プリチャージ線の電圧レベルを変更することができる。従って、要求される動作速度と消費電力との関係に応じて、一致線MLのプリチャージレベルやクランプ電圧のレベルを自由に変更してもよい。

【0097】次に、本発明の連想メモリ装置の別の実施例を挙げて説明する。

【0098】図5は、本発明の連想メモリ装置の別の実施例の構成概略図である。同図に示すCAM200は、一致検索時に、検索データ用のビット線対SBIT、/SBITおよび一致線MLを中間電位とする別の例を示すもので、CAMセルアレイ202と、アドレスデコーダ206と、記憶データ用のビット線制御回路208と、検索データ用のビット線制御回路210と、一致線レベル発生回路212と、リファレンス電圧(VR)発

生回路214と、センスアンプ216とを備えている。

【0099】図示例のCAM200において、まず、CAMセルアレイ202は、図1に示すCAM10のCAMセルアレイ12と同じように、Nビット幅×MワードのCAMセル204をアレイ状に配置したものである。なお、CAMセル204は、図2に示すCAMセル20はもちろん、従来公知の各種のCAMセルが利用可能である。

【0100】アドレスデコーダ206は、CAMセルアレイ202に対して、記憶データの書き込み／読み出しが行われる際に、外部から入力されるアドレス信号に対応したワード線WLをドライブするものである。また、記憶データ用のビット線制御回路208は、アドレス信号に対応したワードに記憶データを書き込む時に、記憶データ用のビット線対BIT、/BITをドライブするものである。これらのアドレスデコーダ206および記録データ用のビット線制御回路208も従来公知の各種のものが利用可能である。

【0101】続いて、図5に示すCAM200において、検索データ用のビット線制御回路210は、検索データ用のビット線対SBIT、/SBITをドライブするもので、その一致検索時のレベルの電位を、電源とグランドとの間の中間電位にプリチャージすることを特徴とするものである。言い換えると、一致検索時に、検索データ用のビット線対SBIT、/SBITのレベルを中間電位とし、その電位を小振幅化する。

【0102】以下、図6、7および8に示す検索データ用のビット線制御回路210の具体例を挙げて説明する。

【0103】まず、図6に示す検索データ用のビット線制御回路210aは、内部ノードSBITHと検索ビット線対の一方の間のチャージシェア（容量分割）により、検索データ用のビット線対SBIT、/SBITの一致検索時のハイレベルの電位を中間電位に設定するもので、検索データ用のビット線SBITの制御回路218と、検索データ用のビット線/SBITの制御回路220と、電荷蓄積用の制御回路222とを備えている。

【0104】ここで、検索データ用のビット線SBITの制御回路218は、NANDゲート224と、ANDゲート226と、インバータ228と、ディスチャージ用NMOS 230と、イコライズ用PMOS 232とを備えている。

【0105】NANDゲート224の2つの入力端子には信号IDおよび信号SBITPCNが接続され、その出力端子は、NMOS 230のゲートおよびANDゲート226の一方の反転入力端子に接続されている。ANDゲート226の他方の反転入力端子には信号SBITEQNが接続され、その出力端子は、インバータ228を介してPMOS 232のゲートに接続されている。ま

た、NMOS 230は、検索データ用のビット線SBITとグラウンドとの間に接続され、PMOS 232は、検索データ用のビット線SBITと内部ノードSBITHとの間に接続されている。

【0106】なお、検索データ用のビットバー線/SBITの制御回路220は、検索データ用のビット線SBITがビットバー線/SBITに、また、信号IDがその反転信号である信号/IDが変わる点を除いて検索データ用のビット線SBITの制御回路218と全く同じ構成であるから、ここでは、その詳細な説明を省略する。

【0107】また、電荷蓄積用の制御回路222は、スタンバイ状態、すなわち、イコライズ前の検索データ用のビット線対SBIT、/SBITのプリチャージ電位とは反対の極性の電位を蓄積するもので、PMOS 234と、キャパシタンス236とを備えている。PMOS 234は、電源と内部ノードSBITHとの間に接続され、そのゲートには信号SBITPCNが接続されている。また、キャパシタンス236は、内部ノードSBITHとグラウンドとの間に接続されている。

【0108】図16のタイミングチャートに示すように、図6に示す検索データ用のビット線制御回路210aでは、スタンバイ時に、信号SBITEQNがハイレベル、信号SBITPCN、SBITDCNは順次ローレベルとされる。

【0109】その結果、検索データ用のビット線SBITの制御回路218では、NANDゲート224の出力信号がハイレベル、ANDゲート226の出力信号はローレベル、インバータ228の出力信号はハイレベルとなり、NMOS 230はオン、PMOS 232はオフする。これにより、検索データ用のビット線SBITと内部ノードSBITHとは電氣的に分離され、検索データ用のビット線SBITは、NMOS 230を介してグラウンド電位までディスチャージされる。

【0110】同じように、検索データ用のビットバー線/SBITの制御回路220では、検索データ用のビットバー線/SBITと内部ノードSBITHとが電氣的に分離され、検索データ用のビットバー線/SBITはグラウンド電位までディスチャージされる。

【0111】また、電荷蓄積用の制御回路222では、PMOSがオンしてキャパシタンス236がチャージアップされ、内部ノードSBITHは電源電位にプリチャージされる。

【0112】これに対し、一致検索時には、まず、信号SBITDCN、SBITPCNが共にハイレベルとされた後、信号SBITEQNがローレベルとされる。

【0113】この時、検索データ用のビット線SBITの制御回路218では、NANDゲート224の出力信号が信号IDの電圧レベルの反転レベルとなる。従って、NMOS 230は、信号IDがローレベルの場合に

はオンしたままの状態を維持し、ハイレベルの場合にはオフして、検索データ用のビット線SBITは、スタンバイ時にディスチャージされたグラウンド電位のフローティングロー状態となる。なお、この時点では、PMOS 232はオフしたままの状態である。

【0114】これに対し、検索データ用のビットバー線/SBITの制御回路220では、信号/IDがローレベル（信号IDがハイレベル）の場合、NMOS 230はオンしたままの状態を維持する。また、信号/IDがハイレベル（信号IDがローレベル）の場合、NMOS 230はオフし、検索データ用のビット線SBITは、スタンバイ時にディスチャージされたグラウンド電位のフローティングロー状態となる。

【0115】また、電荷蓄積用の制御回路222では、PMOSがオフし、内部ノードSBITHは、スタンバイ時にプリチャージされた電源電位のフローティングハイ状態となる。

【0116】その後、信号SBITEQNがローレベルとされると、検索データ用のビット線SBITの制御回路218では、ANDゲート226の出力信号がNANDゲートの出力信号の反転信号、すなわち、信号IDの電圧レベルとなり、インバータ228の出力信号はその反転レベル、すなわち、信号IDの電圧レベルの反転レベルとなる。

【0117】したがって、信号IDがローレベルの場合、PMOS 232がオフし、検索データ用のビット線SBITは、NMOS 230を介してグラウンド電位にディスチャージされたままの状態を維持する。また、信号IDがハイレベルの場合、PMOS 232がオンして検索データ用のビット線SBITと内部ノードSBITHとが電氣的に接続され、検索データ用のビット線SBITの電位は、両者のチャージがシェアされた状態の中間電位となる。

【0118】これに対し、検索データ用のビットバー線/SBITの制御回路220では、検索データ用のビット線SBITの制御回路218の場合の逆の状態となる。すなわち、信号/IDがローレベル（信号IDがハイレベル）の場合、検索データ用のビットバー線/SBITの電位は、両者のチャージがシェアされた状態の中間電位となる。また、信号/IDがハイレベル（信号IDがローレベル）の場合、検索データ用のビットバー線/SBITは、グラウンド電位にディスチャージされたままの状態を維持する。

【0119】なお、検索データ用のビット線対SBIT、/SBITの一致検索時の電位は、CAMセル204として、例えば図2に示すCAMセル20を使用した場合、キャパシタンス236の容量値を適宜変更することにより調整し、NMOS 38、40がオンできるように、そのしきい値電圧以上、電源電圧以下の中間電位となるようにする必要がある。また、以下に述べる検索デ

ータ用のビット線制御回路210b、210cについても同様である。

【0120】ここで、検索データ用のビット線制御回路210aにおいて、イコライズ前の内部ノードSBITHおよび検索データ用のビット線対SBIT、/SBITの極性を反転させてもよい。この場合、例えば図7に示す検索データ用のビット線制御回路210bのように、NMOSをPMOS、PMOSをNMOSに変更し、電源をグラウンド、グラウンドを電源に変更し、各内部信号の極性も反転させるようにすればよい。

【0121】次に、図8に示す検索データ用のビット線制御回路210cは、中間電位を内部発生し、この内部発生した電位に検索データ用のビット線対SBIT、/SBITをドライブして中間電位とするものである。なお、この検索データ用のビット線制御回路210cは、図6に示す検索データ用のビット線制御回路210aにおいて、電荷蓄積用の制御回路222を電位発生回路238に変更した点が異なるだけであるから、以下、この電位発生回路238について説明する。

【0122】この検索データ用のビット線制御回路210cにおいて、電位発生回路238は、SBITREF発生回路240と、電圧発生回路242とを備えている。まず、SBITREF発生回路240は、イコライズ時に、検索データ用のビット線対SBIT、/SBITにドライブされる電圧レベルを発生するものである。

【0123】電圧発生回路242は、ドライブ能力の低いSBITREF発生回路240により発生された電位をドライブ能力を高めて出力するもので、オペアンプ244と、キャパシタンス246とを備えている。ボルテージフォロア構成されたオペアンプ244の端子+には、SBITREF発生回路240により発生された電位の信号SBITREFが接続され、その端子-は内部ノードSBITRに接続されている。また、キャパシタンス246は、内部ノードSBITRとグラウンドとの間に接続されている。

【0124】この検索データ用のビット線制御回路210cでは、SBITREF発生回路240により発生された電位が内部ノードSBITREF上に出力され、電流ドライブ能力が電圧発生回路242により増幅され、内部ノードSBITR上に出力される。一致検索時には、信号ID、/IDの電圧レベルに応じて、内部ノードSBITRと検索データ用のビット線SBITまたは/SBITとが電気的に接続され、内部ノードSBITRと電気的に接続された検索データ用のビット線SBITまたは/SBITは、内部ノードSBITRの電位までチャージアップされる。

【0125】続いて、CAM200において、一致線レベル発生回路212は、一致線MLの一致検索時の電位を中間電位にプリチャージするものである。言い換えると、一致検索時に、一致線MLのレベルを中間電位と

し、その電位を小振幅化する。

【0126】以下、図9、10、11および12に示す一致線レベル発生回路212の具体例を挙げて説明する。

【0127】まず、図9に示す一致線レベル発生回路212aは、内部ノードMLHとの間のチャージシェアにより、一致線MLの一致検索時のプリチャージレベルを中間電位とするもので、電位蓄積用の制御回路248と、イコライズ用NMOS250と、ディスチャージ用NMOS252とを備えている。

【0128】電位蓄積用の制御回路248は、内部ノードSBITHが内部ノードMLHに変わる点を除いて、図6に示す検索データ用のビット線SBITの制御回路210aで用いられている電位蓄積用の制御回路236と同じ構成のものである。また、NMOS252は、一致線MLとグラウンドとの間に接続され、そのゲートには信号MDCが接続されている。NMOS250は、内部ノードMLHと一致線MLとの間に接続され、そのゲートには信号MEQが接続されている。

【0129】図16のタイミングチャートに示すように、この一致線レベル発生回路212aでは、スタンバイ時に、信号MEQがローレベルとされた後、信号MPCNがローレベル、信号MDCがハイレベルとされる。

【0130】その結果、NMOS250はオフして、内部ノードMLHと一致線MLとが電気的に分離され、内部ノードMLHは、電位蓄積用の制御回路248により電源電位にプリチャージされ、一致線MLは、NMOS252によりグラウンド電位にディスチャージされる。

【0131】一致検索時には、まず、信号MPCNがハイレベル、信号MDCがローレベルとされた後、信号MEQがハイレベルとされる。

【0132】したがって、内部ノードMLHは、スタンバイ時にプリチャージされた電源電位のフローティングハイ状態、一致線MLは、同じくスタンバイ時にディスチャージされたグラウンド電位のフローティングロー状態となる。その後、信号MEQがハイレベルとされると、NMOS250がオンして、内部ノードMLHと一致線MLとが電気的に接続され、一致線MLの電位は、両者のチャージがシェアされた状態の中間電位となる。

【0133】なお、一致線MLの一致検索時のハイレベルの電位は、電位蓄積用の制御回路248のキャパシタンスの容量値を適宜変更することにより調整し、後述するリファレンス電圧VRよりも高く、電源電圧以下の中間電位となるようにする必要がある。また、以下に述べる一致線レベル発生回路212b、212c、212dについても同様である。

【0134】ここで、一致線レベル発生回路212aにおいて、イコライズ前の内部ノードMLHの極性を反転させて内部ノードMLLとし、同じく、イコライズ前の一致線MLの極性を反転させてもよい。この場合も、例

えば図10に示す一致線レベル発生回路212bののように、NMOSをPMOS、PMOSをNMOSに変更し、電源をグランド、グランドを電源に変更し、各内部信号の極性も反転させるようにすればよい。

【0135】すなわち、一致線レベル発生回路212bでは、一致線MLの一致検索時のローレベルの電位は、電位蓄積用の制御回路のキャパシタンスの容量値を適宜変更することにより調整し、後述するリファレンス電圧VRよりも低く、グランド電圧以上の中間電位となるようにする必要がある。

【0136】次に、図11に示す一致線レベル発生回路212cは、中間電位を内部発生し、この内部発生した電位に一致線MLを接続して中間電位とするもので、電位発生回路254と、イコライズ用PMOS256とを備えている。

【0137】電位発生回路254は、SBITREF発生回路240がMLREF発生回路に、また、内部ノードSBITREF、SBITRがそれぞれ内部ノードMLREF、MLRに変わる点を除いて、図8に示す検索データ用のビット線制御回路210cで用いられているものと同じである。また、PMOS256は、内部ノードMLRと一致線MLとの間に接続され、そのゲートには信号MEQが接続されている。

【0138】この一致線レベル発生回路212cでは、電位発生回路254により発生された電位が内部ノードMLR上に出力される。イコライズ後の一致線MLは、内部ノードMLRの電位までチャージアップされる。

【0139】次に、図12に示す一致線レベル発生回路212dは、一致線をCAMセルがXビットつながる内部ノードMLHと、CAMセルが(N-X)ビットつながる部分とに分け、両者のチャージシェアにより、一致線MLの一致検索時の電位を中間電位に設定するもので、プリチャージ用PMOS258と、イコライズ用NMOS260と、ディスチャージ用NMOS262とを備えている。

【0140】PMOS258は、電源と内部ノードMLHとの間に接続され、そのゲートには信号MPCが接続されている。また、NMOS260は、内部ノードMLHと一致線MLとの間に接続され、そのゲートには信号MEQが接続されている。NMOS262は、一致線MLとグランドとの間に接続され、そのゲートには信号MDCが接続されている。また、内部ノードMLHにはXビット分のCAMセルが接続され、一致線MLには、N-Xビット分のCAMセルが接続されている。

【0141】この一致線レベル発生回路212dでは、スタンバイ時には、信号MEQがローレベルとされた後、信号MPCがローレベル、信号MDCがハイレベルとされる。

【0142】その結果、NMOS260はオフして、内部ノードMLHと一致線MLとが電氣的に分離され、内

部ノードMLHは、PMOS258により電源電位にプリチャージされ、一致線MLは、NMOS262によりグランド電位にディスチャージされる。

【0143】一致検索時には、まず、信号MPCがハイレベル、信号MDCがローレベルとされた後、信号MEQがハイレベルとされる。

【0144】したがって、内部ノードMLHは、スタンバイ時にプリチャージされた電源電位のフローティングハイ状態、一致線MLは、同じくスタンバイ時にディスチャージされたグランド電位のフローティングロー状態となる。その後、信号MEQがハイレベルとされると、NMOS260がオンして、内部ノードMLHと一致線MLとが電氣的に接続され、一致線MLの電位は、両者のチャージがシェアされた状態の中間電位となる。

【0145】この一致線レベル発生回路212dでは、内部ノードMLHおよび一致線MLに接続されるCAMセルの個数をそれぞれ適宜変更することにより、イコライズ後の中間電位のレベルを適宜変更することができる。

【0146】続いて、図5に示すCAM200において、リファレンス電圧発生回路214は、一致検索後の一致線MLの電位を検出するためのリファレンス電圧VRを発生するものである。

【0147】以下、図13、14および15に示すリファレンス電圧発生回路214の具体例を挙げて説明する。

【0148】まず、図13に示すリファレンス電圧発生回路214aは、2つの内部ノードVR、VRHの間でチャージシェアすることにより、中間電位のリファレンス電圧VRを発生するもので、電位蓄積用の制御回路264、266と、イコライズ用NMOS268とを備えている。

【0149】電位蓄積用の制御回路264、266は、内部ノードSBITH、SBITLがそれぞれ内部ノードVRH、VRに、また、信号SBITPCN、SBITDCがそれぞれ信号VRPCN、VRDCに変わる点を除いて、図6および7に示す検索データ用のビット線制御回路210a、210bで用いられているものと同じである。また、NMOS268は、内部ノードVRH、VRの間に接続され、そのゲートには信号VREQが接続されている。

【0150】図16のタイミングチャートに示すように、図13に示すリファレンス電圧発生回路214aでは、スタンバイ時には、信号VREQがローレベルとされた後、信号VRPCNがローレベル、信号VRDCがハイレベルとされる。

【0151】その結果、NMOS268はオフして、内部ノードVRH、VRが電氣的に分離され、内部ノードVRHは、電位蓄積用の制御回路264により電源電位にプリチャージされ、内部ノードVRは、電位蓄積用の

制御回路266によりグラウンド電位にディスチャージされる。

【0152】一致検索時には、まず、信号VRPCNがハイレベル、信号VRDCがローレベルとされた後、信号VREQがハイレベルとされる。

【0153】したがって、内部ノードVRHは、スタンバイ時にプリチャージされた電源電位のフローティングハイ状態、内部ノードVRは、同じくスタンバイ時にディスチャージされたグラウンド電位のフローティングロー状態となる。その後、信号VREQがハイレベルとされると、NMOS268がオンして、内部ノードVRH、VRが電氣的に接続され、内部ノードVRの電位は、両者のチャージがシェアされた状態の中間電位となる。

【0154】なお、リファレンス電圧の一致検索時の電位は、電位蓄積用の制御回路264、266のキャパシタンスの容量値を適宜変更することにより調整し、前述の一致線MLの一致検索時のハイレベルの電位よりも低く、グラウンド電圧以上の中間電位となるようにする必要がある。また、以下に述べるリファレンス電圧発生回路214b、214cについても同様である。

【0155】ここで、リファレンス電圧発生回路214aにおいて、イコライズ前の内部ノードVRHの極性を反転させて内部ノードVRLとし、同じく、イコライズ前の内部ノードVRの極性を反転させてもよい。この場合も、例えば図14に示すリファレンス電圧発生回路214bのように、NMOSをPMOS、PMOSをNMOSに変更し、電源をグラウンド、グラウンドを電源に変更し、各内部信号の極性も反転させるようにすればよい。

【0156】すなわち、リファレンス電圧発生回路214bでは、リファレンス電圧の一致検索時の電位は、電位蓄積用の制御回路のキャパシタンスの容量値を適宜変更することにより調整し、前述の一致線MLの一致検索時のローレベルの電位よりも高く、電源電圧以下の中間電位となるようにする必要がある。

【0157】次に、図15に示すリファレンス電圧発生回路214cは、中間電位を内部発生するもので、電位発生回路270を備えている。電位発生回路270は、SBITREF発生回路240がMLREF発生回路に、また、内部ノードSBITREF、SBITRがそれぞれ内部ノードVRREF、VRに変わる点を除いて、図8に示す検索データ用のビット線制御回路210cで用いられているものと同じである。

【0158】このリファレンス電圧発生回路214cでは、電位発生回路270により発生された電位が内部ノードVR上に出力され、内部ノードVRは、電位発生回路270により供給される電位までチャージアップされる。

【0159】最後に、図5に示すCAM200において、センスアンプ216は、リファレンス電圧VRに基づいて一致線MLの電位を検出し、これを増幅出力する

ものである。なお、CAM200では、一致検索の結果、ほとんどのワードで不一致が検出される場合が多いので、センスアンプ216は、スタンバイ状態および不一致検出時の一致センス出力MTを同じ電圧レベルとしておき、消費電流を削減することができるようにするのが好ましい。

【0160】CAM200では、記憶データの書き込み時には、アドレスデコーダ202により、アドレス信号に対応したワード線がドライブされ、記憶データ用のビット線制御回路208により、記憶データ用のビット線対BIT、/BIT上にデータがドライブされる。そして、この記憶データ用のビット線対BIT、/BIT上にドライブされたデータが、アドレス信号に対応したワード線により選択されるワードに書き込まれる。

【0161】また、記憶データの読み出し時には、アドレスデコーダ202により、アドレス信号に対応したワード線がドライブされる。そして、このアドレス信号に対応したワード線により選択されるワードに格納されている記憶データおよびその反転信号である記憶データバーが、各々対応する記憶データ用のビット線対BIT、/BIT上に読み出される。

【0162】これに対し、一致検索時には、検索データ用のビット線対SBIT、/SBITは、検索データ用のビット線制御回路210により、検索データとして、CAM200の外部から与えられる信号IDの電圧レベルに応じて、その一方がハイレベル（中間電位）、他方がローレベル（グラウンド電位）とされる。また、一致線MLも、一致線レベル発生回路212により、本実施例ではハイレベル（中間電位）とされる。

【0163】一致検索の結果、一致線MLに接続されている1ワード分のNビットのCAMセル204の全てのビットにおいて、検索データと記憶データとの一致が検出された場合にのみ、一致線MLは一致検索前にプリチャージされたハイレベル（中間電位）を保持する。言い換えると、1ワードのNビットのCAMセル204の中に1ビットでも不一致が検出されると、一致線MLは、ローレベル（グラウンド電位）となる。

【0164】また、リファレンス電圧VRが発生され、一致線MLの電圧レベルは、センスアンプ216により、一致検索後の一致線MLの電圧レベルとリファレンス電圧とが比較されて検出され、その検索結果は、一致センス出力MTとして出力される。図16のタイミングチャートに示すように、本実施例の場合、一致センス出力MTは、スタンバイ状態および不一致の時はローレベルであり、一致の時のみハイレベルが出力される。

【0165】なお、CAM200で用いられるキャパシタンスの構成手段は何ら限定されず、例えばMOSトランジスタのゲート容量、メタル配線やポリシリコン等により構成された容量、PN接合のジャンクション容量等

のように、各種手段によって構成されたものが利用可能である。また、CAMセル204をダミーの容量素子として利用してもよい。

【0166】本発明の連想メモリ装置は、基本的に以上のようなものである。以上、本発明の連想メモリ装置について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0167】

【発明の効果】以上詳細に説明した様に、本発明の連想メモリ装置は、記憶データ用のビット線対および検索データ用のビット線対を各々独立に配線し、検索データ用のビット線対のレベルを中間電位として小振幅化し、なおかつ、一致線のプリチャージレベルを中間電位として小振幅化するようにしたものである。本発明の連想メモリ装置によれば、検索データ用のビット線対を記憶データ用のビット線対とは独立に配線してその負荷容量を削減し、かつ、検索データ用のビット線対を小振幅化しているため、検索時の消費電力を大幅に削減することができ、これにより、連想メモリ装置の大容量化、高速化が可能になる。また、本発明の連想メモリ装置によれば、一致線のプリチャージレベルを小振幅化しているため、検索時の消費電力を大幅に削減することができている。さらに、一致線のわずかな電圧の低下に対して電荷の再配分により一致検出のセンスノードを急峻に変化させることのできるチャージトランスファアンプを採用することにより一致検出の高速化を図っている。

【図面の簡単な説明】

【図1】 本発明の連想メモリ装置の一実施例の構成概略図である。

【図2】 連想メモリセルの一実施例の構成回路図である。

【図3】 (a) および (b) は、ビット線制御回路の一実施例の構成回路図である。

【図4】 (a)、(b) および (c) は、一致検出器の一実施例の構成回路図である。

【図5】 本発明の連想メモリ装置の別の実施例の構成概略図である。

【図6】 検索データ用のビット線制御回路の一実施例の構成回路図である。

【図7】 検索データ用のビット線制御回路の別の実施例の構成回路図である。

【図8】 検索データ用のビット線制御回路の別の実施例の構成回路図である。

【図9】 一致線レベル発生回路の一実施例の構成回路図である。

【図10】 一致線レベル発生回路の別の実施例の構成回路図である。

【図11】 一致線レベル発生回路の別の実施例の構成回路図である。

【図12】 一致線レベル発生回路の別の実施例の構成回路図である。

【図13】 リファレンス電圧発生回路の一実施例の構成回路図である。

【図14】 リファレンス電圧発生回路の別の実施例の構成回路図である。

【図15】 リファレンス電圧発生回路の別の実施例の構成回路図である。

【図16】 図5に示す本発明の連想メモリ装置の動作を表す一実施例のタイミングチャートである。

【図17】 連想メモリ装置の一例の構成概略図である。

【図18】 (a)、(b) および (c) は、いずれも連想メモリセルの一例の構成回路図である。

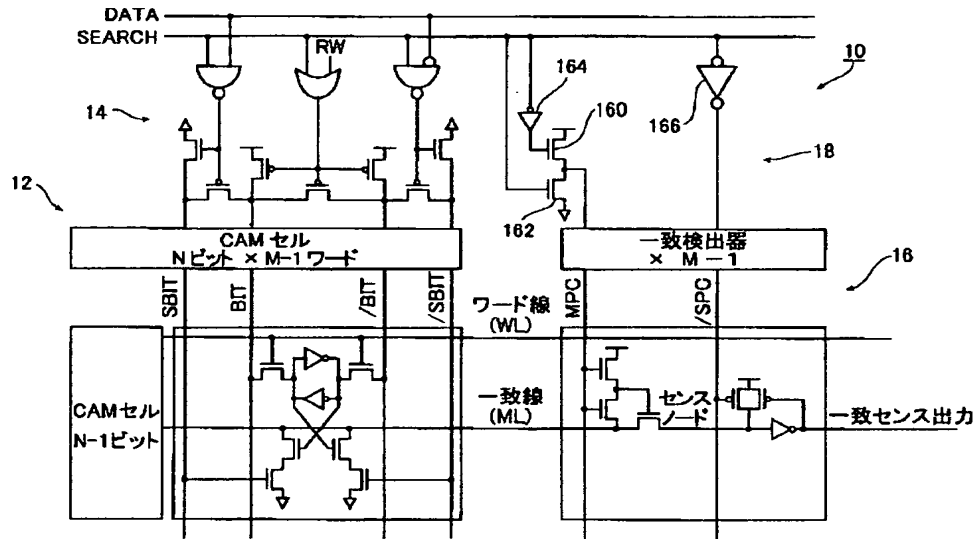
【符号の説明】

10, 118, 200 連想メモリ装置 (CAM)
 12, 120, 202 CAMセルアレイ
 14, 124, 208, 210, 210a, 210b, 210c ビット線制御回路
 16, 126 一致検出器
 18 チャージ線制御回路
 20, 132, 140, 150, 204 CAMセル
 22 記憶部
 24 検索部
 26, 28, 74, 84, 100, 164, 228 インバータ
 30, 32, 34, 36, 38, 40, 48, 54, 76, 78, 80, 86, 88, 90, 92, 102, 108, 110, 114, 116, 134, 136, 138, 142, 144, 146, 148, 160, 162, 230, 250, 252, 260, 262, 268 N型MOSトランジスタ
 42, 44, 58, 68, 70, 218, 220, 222, 248, 264, 266 制御回路
 46, 52, 224 NANDゲート
 50, 56, 62, 64, 66, 94, 98, 106, 152, 154, 156, 158, 232, 234, 256, 258 P型MOSトランジスタ
 60 ORゲート
 72, 82, 226 ANDゲート
 96 一致センス出力回路
 104 クランプ電圧発生回路
 112 一致線プリチャージ回路
 122 デコーダ
 128 フラグ発生器
 130 優先順位エンコーダ
 166 バッファ
 206 アドレスデコーダ
 212, 212a, 212b, 212c, 212d 一致線レベル発生回路

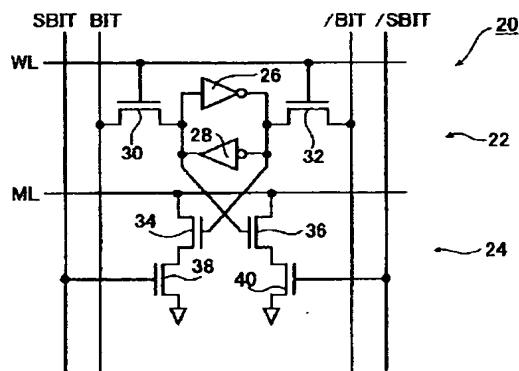
214, 214a, 214b, 214c リファレンス
電圧(V_R)発生回路
216 センスアンプ
236, 246 キャパシタンス

238, 254, 270 電位発生回路
240 SBITREF発生回路
242 電圧発生回路
244 オペアンプ

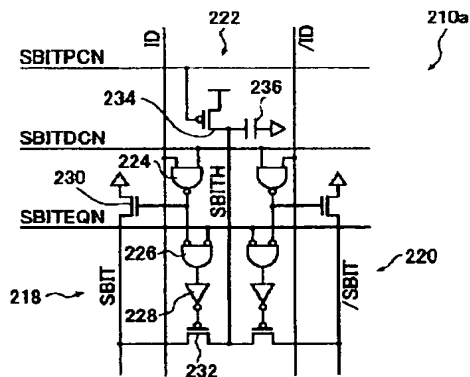
【図1】



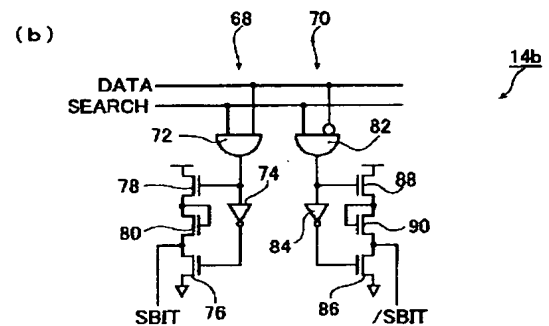
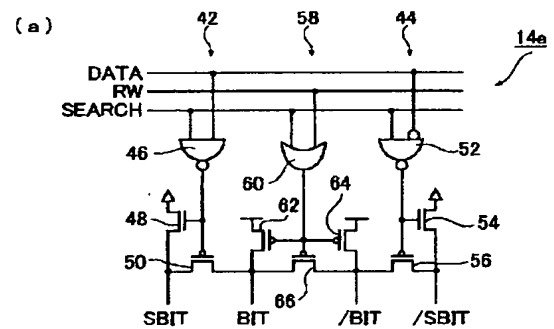
【図2】



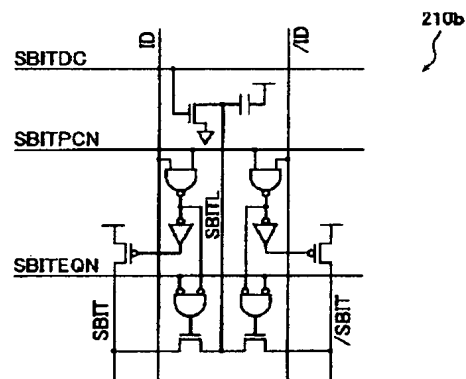
【図6】



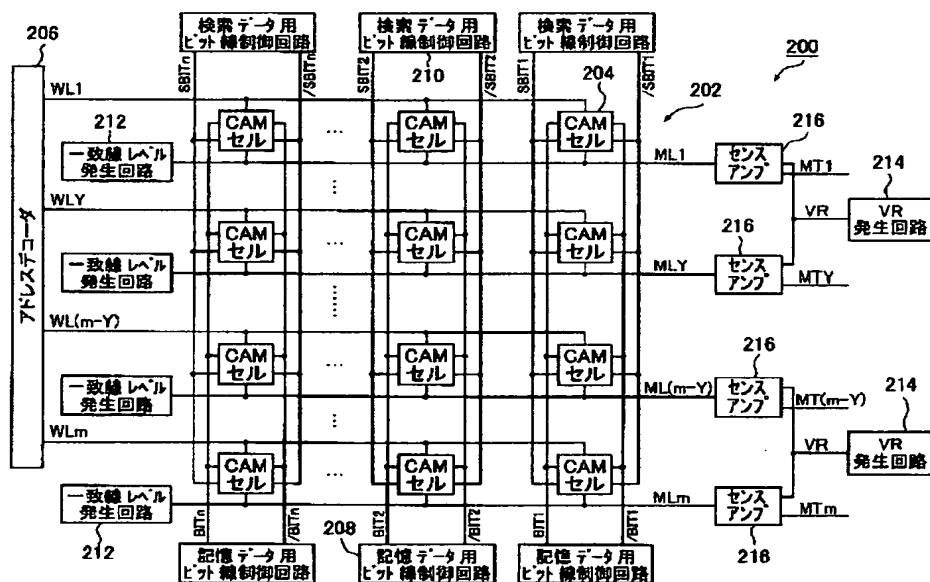
【図3】



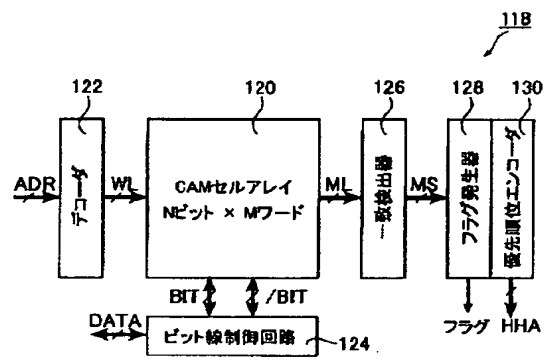
【図 7】



【图 5】

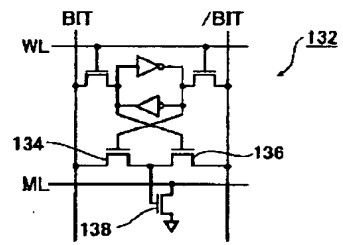


【図 17】

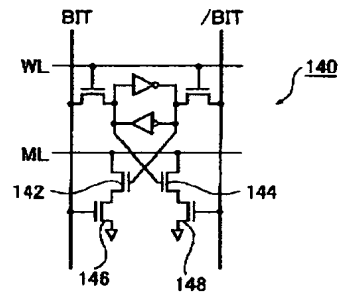


【图 18】

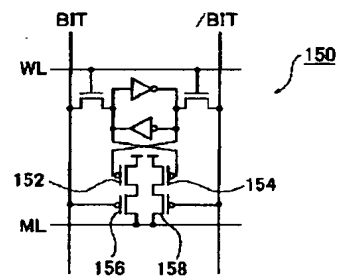
(a)



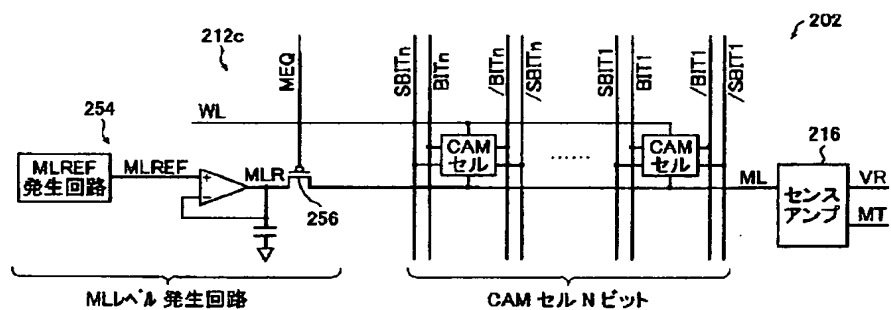
(b)



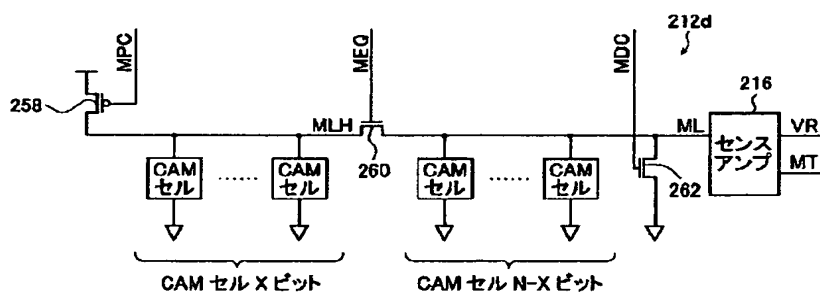
(c)



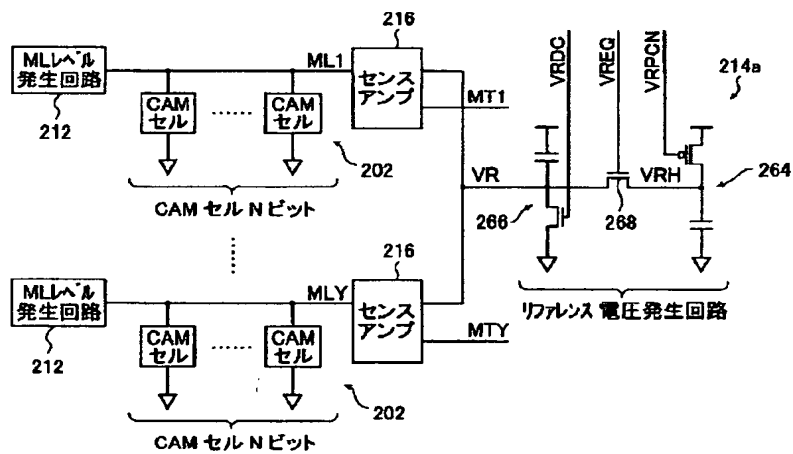
【图 1-1】



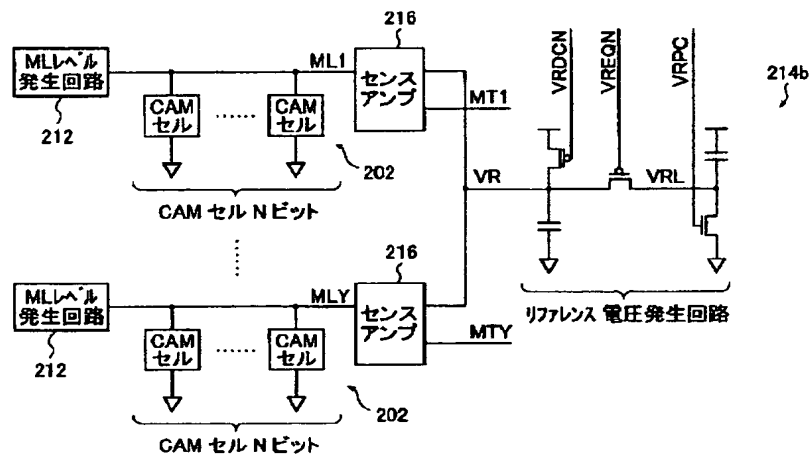
【图 1 2】



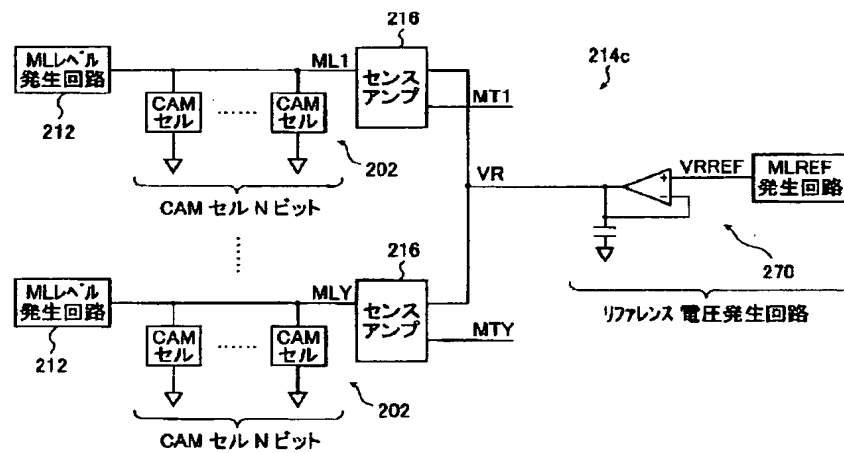
【图 1 3】



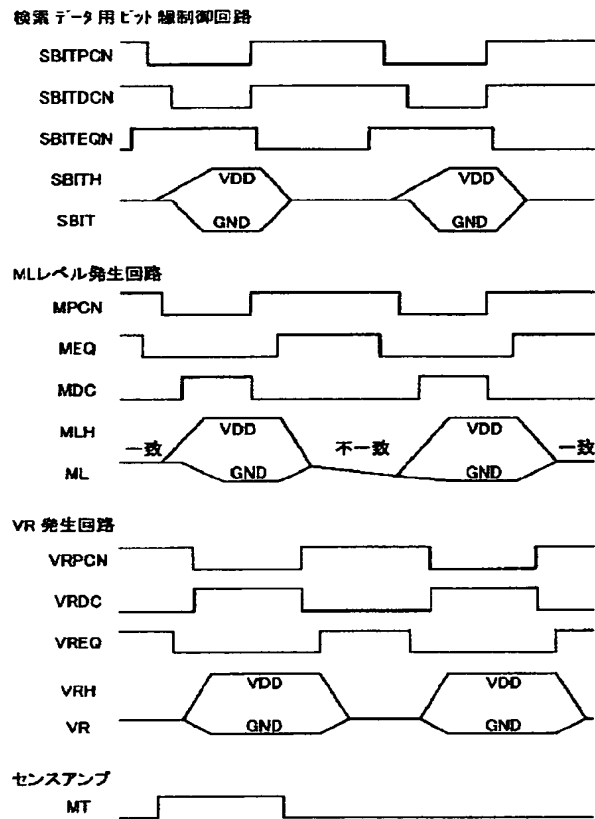
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 金沢 直樹
東京都千代田区内幸町2丁目2番3号 川
崎製鉄株式会社東京本社内

(72)発明者 米田 正人
東京都千代田区内幸町2丁目2番3号 川
崎製鉄株式会社東京本社内